



UNIVERSITY
OF TRENTO

DEPARTMENT OF INFORMATION AND COMMUNICATION TECHNOLOGY

38050 Povo – Trento (Italy), Via Sommarive 14
<http://www.dit.unitn.it>

METODOLOGIE DI PROGETTAZIONE E CARATTERIZZAZIONE
DI SISTEMI DI MISURA AD APPRENDIMENTO E
DINAMICAMENTE RICONFIGURABILI

Andrea Boni, Fernando Pianegiani, Dario Petri

April 2004

Technical Report # DIT-04-051

Metodologie di Progettazione e Caratterizzazione di Sistemi di Misura ad Apprendimento e Dinamicamente Riconfigurabili

Andrea Boni, Fernando Pianegiani, Dario Petri

Dip.di Informatica. e Telecomunicazioni, Università di Trento, Via Sommarive 14 – 38050 TRENTO

Tel.: 0461 883902 – fax: 0461 882093 – petri@dit.unitn.it

SOMMARIO

Questa memoria si propone di descrivere le attività di ricerca in atto presso l'Unità di Trento per quanto riguarda lo studio, l'implementazione e l'analisi delle prestazioni di sistemi di misura ad apprendimento e dinamicamente riconfigurabili. Vengono descritte le motivazioni che hanno portato a scegliere un'implementazione di tali sistemi mediante componenti FPGA (Field Programmable Gate Array). Sono infine riportati i principali risultati ottenuti relativamente a un sistema di equalizzazione di un canale di trasmissione digitale.

1. INTRODUZIONE

Lo sviluppo delle tecnologie microelettroniche che si è manifestato negli ultimi anni ha favorito l'evoluzione di sistemi di misura in grado di riconfigurarsi per adattarsi al cambiamento delle operazioni ad essi richieste. Tali sistemi, che appartengono alla famiglia dei "sistemi elettronici ad apprendimento", non estraggono l'informazione di interesse mediante algoritmi predefiniti, ma utilizzando algoritmi di elaborazione basati su misure significative della situazione considerata [1].

L'applicazione di metodologie di apprendimento da esempi, quali le reti neurali artificiali, a tale tipo di problemi non è nuova, e appare particolarmente attraente in quanto consente di identificare un modello del sistema in esame, a partire dalla sola conoscenza di dati di misura. Recenti sviluppi della teoria dell'apprendimento statistico hanno permesso di ottenere notevoli vantaggi rispetto agli approcci tradizionali [2]. Particolare attenzione è rivolta all'uso della Support Vector Machine (SVM), un paradigma che consente di stimare le uscite di sistemi la cui dinamica non è nota, ma che può essere appresa a partire da un determinato insieme di misure. Con questo paradigma, il processo di apprendimento è basato sulla risoluzione di un problema di programmazione quadratica vincolata.

Le piattaforme che permettono di sviluppare i sistemi di misura adattativi ad apprendimento si basano su architetture che comprendono, tipicamente, un processore, un co-processore, una memoria e interfacce di I/O per l'acquisizione di dati e la ricezione di comandi. Tali architetture, se implementate all'interno di un singolo circuito integrato, vengono denominate System on a Chip (SoC). In questo ambito, l'integrazione all'interno di SoC della tecnologia FPGA (Field Programmable System on a Chip - FPSC), riveste particolare interesse in quanto aree diverse del componente possono svolgere contemporaneamente compiti differenti; questo permette di riconfigurare il componente ogni volta che una fase di apprendimento lo richiede e, al tempo stesso, mantenere attivi i processi dedicati all'elaborazione dell'informazione di misura [3].

Nel seguito vengono presentati i principali risultati ottenuti in un caso di studio riguardante l'equalizzazione di un canale di trasmissione non lineare. In particolare, dopo una breve descrizione del problema, sono motivate le scelte di progetto e, sulla base dell'analisi delle prestazioni, sono valutati i vantaggi e gli svantaggi delle tecnologie adottate rispetto ad altre più tradizionali.

2. EQUALIZZAZIONE DI UN CANALE DI TRASMISSIONE DIGITALE

È possibile equalizzare un canale non lineare utilizzando, dal lato ricevitore, un dispositivo dedicato che stima uno tra due simboli, ad esempio +1 o -1, emessi dalla sorgente di informazione digitale. In generale gli effetti non lineari introdotti dal canale non sono noti, ma possono essere descritti mediante un opportuno insieme di misurazioni. Dal lato ricevitore, lo stimatore basato su SVMs, stima i simboli emessi dalla sorgente utilizzando l'informazione contenuta in un prefissato numero di simboli precedenti. In figura 1 è mostrato lo schema a blocchi del caso in esame.

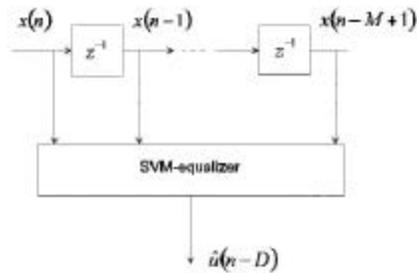


Figura 1. Schema a blocchi di uno stimatore di simboli digitali basato su SVMs.

L'implementazione dello stimatore mediante un sistema riconfigurabile dinamicamente basato su FPGA è particolarmente indicato per questo tipo di problemi. Infatti, ogni volta che occorre effettuare una nuova equalizzazione del canale di trasmissione, una porzione di FPGA può essere riconfigurata sulla base dei nuovi dati appresi, mentre le restanti parti del circuito possono continuare a stimare i campioni ricevuti. È in tal modo possibile garantire la conformità ai valori di specifica compensando dinamicamente la variazione nel tempo delle caratteristiche del canale.

Le prestazioni del sistema di equalizzazione proposto, e più in generale dei sistemi ad apprendimento riconfigurabili, possono essere valutate in riferimento ai diversi livelli di progettazione presi in esame. Una prima analisi interessa l'efficienza dell'algoritmo di apprendimento in relazione alla rumorosità del canale di trasmissione e la caratterizzazione delle prestazioni dello stimatore al variare del numero di dati di misura considerati.

Un altro importante requisito riguarda la capacità del sistema di equalizzazione di eseguire le operazioni di apprendimento e di riconfigurazione, in tempo utile per inseguire efficacemente le variazioni temporali del canale di trasmissione. A questo riguardo è inoltre utile analizzare le possibilità di ottimizzazione del numero delle fasi di apprendimento, una volta fissato il valore desiderato della probabilità di errore in ricezione.

Per quanto riguarda l'implementazione del sistema, occorre infine analizzare il problema del partizionamento delle risorse hardware e software, e analizzare l'efficienza nell'uso delle risorse hardware al variare dell'applicazione al momento in esecuzione.

3. RISULTATI OTTENUTI

Nell'ambito dell'argomento di ricerca sopra delineato sono state affrontate problematiche inerenti alla teoria, all'implementazione e alla valutazione delle prestazioni di sistemi di misura ad apprendimento riconfigurabili. Allo stato attuale sono stati ottenuti interessanti risultati riguardanti l'algoritmo di apprendimento e la sua realizzazione in hardware [2]. In particolare, sono state valutate le prestazioni dell'algoritmo in termini di utilizzazione dell'hardware e di velocità di esecuzione; è stata inoltre analizzata l'accuratezza dello stimatore (espressa in termini di probabilità di errore), anche nel caso di implementazione in virgola fissa. È stato infine progettata una piattaforma hardware del sistema di equalizzazione di un canale di trasmissione digitale. Gli sviluppi futuri prevedono l'implementazione di tale sistema su FPGA, lo studio implementativo della riconfigurazione dinamica, e l'analisi delle prestazioni ottenibili.

RIFERIMENTI BIBLIOGRAFICI

- [1] B. Scholkopf, A. Smola, "Learning with Kernels," *The MIT Press*, 2002.
- [2] D. Anguita, A. Boni, S. Ridella, "A Digital Architecture for Support Vector Machines: theory, algorithm and FPGA implementation," accettato per la pubblicazione su *IEEE Trans. on Neural Networks, Special Issue on Hardware Implementations*.
- [3] M. Glesner, P. Zipf, and M. Renovell (eds.), "Field-Programmable Logic and Application: Reconfigurable Computing is going Mainstream," *Proceedings of the 12th International Conference on Field-Programmable Logic and Applications*, Montpellier, France, Settembre 2002.